



**eBook Gratuit**

# APPRENEZ system-verilog

eBook gratuit non affilié créé à partir des  
**contributeurs de Stack Overflow.**

#system-  
verilog

# Table des matières

<b>À propos</b> .....	<b>1</b>
<b>Chapitre 1: Démarrer avec system-verilog</b> .....	<b>2</b>
Remarques.....	2
Versions.....	2
Exemples.....	2
Installation ou configuration.....	2
Bonjour le monde.....	3
<b>Crédits</b> .....	<b>4</b>

# À propos

You can share this PDF with anyone you feel could benefit from it, downloaded the latest version from: [system-verilog](#)

It is an unofficial and free system-verilog ebook created for educational purposes. All the content is extracted from [Stack Overflow Documentation](#), which is written by many hardworking individuals at Stack Overflow. It is neither affiliated with Stack Overflow nor official system-verilog.

The content is released under Creative Commons BY-SA, and the list of contributors to each chapter are provided in the credits section at the end of this book. Images may be copyright of their respective owners unless otherwise specified. All trademarks and registered trademarks are the property of their respective company owners.

Use the content presented in this book at your own risk; it is not guaranteed to be correct nor accurate, please send your feedback and corrections to [info@zzzprojects.com](mailto:info@zzzprojects.com)

# Chapitre 1: Démarrer avec system-verilog

## Remarques

SystemVerilog est la langue de [remplacement](#) de [Verilog](#) . Initialement créé par Accellera comme langage d'extension de Verilog [IEEE Std 1364-2001](#) , SystemVerilog a été accepté comme norme IEEE en 2005. En 2009, IEEE a fusionné Verilog (IEEE 1364) dans SystemVerilog (IEEE 1800) en tant que langage unifié. Comme son prédécesseur, SystemVerilog est pris en charge par de nombreux fournisseurs de FPGA (Field Programmable Gate Array) et de fournisseurs d'outils ASIC (Application Specific Integrated Circuit). SystemVerilog a été créé pour améliorer le développement de la conception HDL et dispose de fonctionnalités dédiées pour la vérification.

SystemVerilog se compose de 3 sous-langues principales:

- Directives de conception: Permet aux concepteurs d'écrire des informations RTL plus concises, explicites et signalant les erreurs qui n'existent généralement pas avant la synthèse.
- Classes orientées objet: utilisées pour la vérification, elles permettent au code de banc d'essai d'être plus flexible et réutilisable. Cette capacité a favorisé la création de méthodologies de vérification: [OVM](#) , [VMM](#) , [UVM](#)
- Assertions: Utilisé pour la vérification et la couverture des protocoles et des signaux séquentiels internes.

## Versions

Version	Date de sortie
SystemVerilog <a href="#">IEEE Std 1800-2012</a>	2013-02-21
SystemVerilog <a href="#">IEEE Std 1800-2009</a>	2009-12-11
SystemVerilog <a href="#">IEEE Std 1800-2005</a>	2005-11-22

## Exemples

### Installation ou configuration

Pour compiler et exécuter le code SystemVerilog, un outil appelé simulateur est nécessaire. Le plus souvent, les outils commerciaux de l'une des trois grandes sociétés EDA sont utilisés:

- Cadence incisive
- Mentor Graphics QuestaSim
- Synopsys VCS

D'autres fournisseurs d'EDA fournissent également des simulateurs:

- Aldec Riviera-PRO
- Xilinx Vivado

Des outils libres et open source existent également, qui prennent en charge différents sous-ensembles du LRM:

- Verilator

## Bonjour le monde

```
// File 'test.sv'

// Top module that gets instantiated automatically when simulation is started
module test;

    // Thread gets started at the beginning of the simulation
    initial begin

        // Call to system task to print output in simulator console
        $display("Hello world!");
    end

endmodule
```

Courir à Cadence Incisive:

```
irun test.sv
```

Lire Démarrer avec system-verilog en ligne: <https://riptutorial.com/fr/system-verilog/topic/2829/demarrer-avec-system-verilog>

---

# Crédits

S. No	Chapitres	Contributeurs
1	Démarrer avec system-verilog	<a href="#">AndresM</a> , <a href="#">Community</a> , <a href="#">Greg</a> , <a href="#">Qiu</a> , <a href="#">ScottJ</a> , <a href="#">Tudor Timi</a>