



Бесплатная электронная книга

УЧУСЬ

system-verilog

Free unaffiliated eBook created from
Stack Overflow contributors.

#system-
verilog

| | |
|--------------------------------|----------|
| | 1 |
| 1: system-verilog | 2 |
| | 2 |
| | 2 |
| Examples..... | 2 |
| | 2 |
| , | 3 |
| | 4 |

Около

You can share this PDF with anyone you feel could benefit from it, downloaded the latest version from: [system-verilog](#)

It is an unofficial and free system-verilog ebook created for educational purposes. All the content is extracted from [Stack Overflow Documentation](#), which is written by many hardworking individuals at Stack Overflow. It is neither affiliated with Stack Overflow nor official system-verilog.

The content is released under Creative Commons BY-SA, and the list of contributors to each chapter are provided in the credits section at the end of this book. Images may be copyright of their respective owners unless otherwise specified. All trademarks and registered trademarks are the property of their respective company owners.

Use the content presented in this book at your own risk; it is not guaranteed to be correct nor accurate, please send your feedback and corrections to info@zzzprojects.com

глава 1: Начало работы с system-verilog

замечания

SystemVerilog - это язык преемников [Verilog](#). Первоначально созданный Accellera в качестве языка расширения Verilog [IEEE Std 1364-2001](#), SystemVerilog был принят в качестве стандарта IEEE в 2005 году. В 2009 году IEEE объединил Verilog (IEEE 1364) в SystemVerilog (IEEE 1800) как единый язык. Как и его предшественник, SystemVerilog поддерживается многими поставщиками инструментов FPGA (Field Programmable Gate Array) и ASIC (Application Specific Integrated Circuit). SystemVerilog был создан для улучшения разработки дизайна HDL и имеет специальные функции для проверки.

SystemVerilog состоит из 3 основных подканалов:

- Директивы по дизайну. Позволяет дизайнерам писать RTL более сжатые, явные и флаговые ошибки, которые традиционно не обнаруживаются до синтеза.
- Объектно-ориентированные классы: Используется для проверки, позволяет использовать тестовый стенд более гибким и многообразным. Эта возможность стимулировала создание методологий проверки: [OVM](#), [VMM](#), [UVM](#)
- Утверждения: Используется для проверки и покрытия протоколов и внутренних последовательных сигналов.

Версии

| Версия | Дата выхода |
|--|-------------|
| SystemVerilog IEEE Std 1800-2012 | 2013-02-21 |
| SystemVerilog IEEE Std 1800-2009 | 2009-12-11 |
| SystemVerilog IEEE Std 1800-2005 | 2005-11-22 |

Examples

Установка или настройка

Для компиляции и запуска кода SystemVerilog необходим инструмент, называемый симулятором. Чаще всего используются коммерческие инструменты от одной из крупных компаний EDA:

- Cadence Incisive

- Наставник Графика QuestaSim
- Synopsys VCS

Другие поставщики EDA также предоставляют симуляторы:

- Aldec Riviera-PRO
- Xilinx Vivado

Существуют также бесплатные инструменты с открытым исходным кодом, которые поддерживают разные подмножества LRM:

- Verilator

Привет, мир

```
// File 'test.sv'

// Top module that gets instantiated automatically when simulation is started
module test;

    // Thread gets started at the beginning of the simulation
    initial begin

        // Call to system task to print output in simulator console
        $display("Hello world!");
    end

endmodule
```

Запуск в Каденсе Резкость:

```
irun test.sv
```

Прочитайте Начало работы с system-verilog онлайн: <https://riptutorial.com/ru/system-verilog/topic/2829/начало-работы-с-system-verilog>

кредиты

| S. No | Главы | Contributors |
|-------|--------------------------------|--|
| 1 | Начало работы с system-verilog | AndresM , Community , Greg , Qiu , ScottJ , Tudor Timi |